

(19) BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

(12) Offenlegungsschrift  
(11) DE 3340123 A1

(51) Int. Cl. 3:  
**G 06 F 15/16**

G 06 F 9/46  
G 06 F 13/04  
G 06 F 3/04

(71) Anmelder:

Heidtmann, Klaus, Dr., 5885 Schalksmühle, DE;  
Bähring, Helmut, Dipl.-Inform., 5860 Iserlohn, DE

(72) Erfinder:

gleich Anmelder

(56) Recherchenergebnisse nach § 43 Abs. 1 PatG:

DE-OS 31 27 364  
DE-OS 22 26 062  
DE-OS 20 31 040  
US 40 65 809

DE-Z: Elektronik, 1982, H.2, S.76-84;

(54) Kommunikationseinheit zur Kopplung von Mikrorechnern

Die Erfindung betrifft eine Schaltung zur Kopplung mehrerer Mikrorechner zum Zwecke der Kommunikation und Kooperation. Sie besteht aus einem Multiport-Kommunikationsspeicher und einer Zugriffssteuerung, die Zugriffskonflikte verhindert.

Im Unterschied zu herkömmlichen Realisierungen der Kopplung mehrerer Mikrorechner über eine einzige Leitung durch serielle Datenübertragung (z. B. bei lokalen Netzwerken) oder enger Hardwarekopplung mehrerer Prozessoren über einen gemeinsamen Bus realisiert die Erfindung die Kopplung der Mikrorechner breitbandig parallel über Adress- und Datenbus durch den Anschluß eines Multiportspeichers mit integrierter Zugriffssteuerung (Pörtsteuerung). Der benötigte Hardwareaufwand ist dabei minimal. Die Schaltung ist modular aufgebaut und kann sehr einfach den geforderten Bedingungen angepaßt werden, insbesondere durch Erweiterungen des Kommunikationsspeichers oder Erhöhung der Anzahl von Anschlüssen für Rechner.

Die lose Kopplung durch die Kommunikationseinheit verhindert gegenseitige Störungen der angeschlossenen Mikrorechner und erspart aufwendige Synchronisationsmaßnahmen.

DE 3340123 A1

Best Available Copy

DE 3340123 A1

Patentansprüche

1. Digitale Schaltung dadurch gekennzeichnet, daß mehrere Mikrorechner ( $R_i, i=0, \dots, n$ ) an diese Schaltung durch mehrpolige Kabel über ihren Adreß- und Datenbus anschließbar sind, und daß jedem Rechner ( $R_i$ ) als Bestandteil dieser Schaltung eine Anschlußschaltung (Port  $P_i, i=0, \dots, n$ ) zugeordnet ist, derart daß eine Zugriffssteuerung (ZS) dafür sorgt, daß zu jedem Zeitpunkt höchstens eine der Anschlußschaltungen ( $P_i$ ) Adreß- und Datensignale der angeschlossenen Mikrorechner ( $R_i$ ) durchschaltet, und dadurch, daß durch die Zugriffssteuerung (ZS) die Adreß- und Datensignale des ausgewählten Rechners ( $R_i$ ) an einen in der Schaltung enthaltenen integrierten Schreib/Lese-Halbleiterspeicher als Kommunikationsspeicher (KS) angelegt werden, derart daß jeder Rechner ( $R_i$ ) in diesen Kommunikationsspeicher (KS) Nachrichten und Daten für die angeschlossenen Rechner ( $R_i$ ) abspeichern und von dort für ihn bestimmte Nachrichten und Daten abrufen kann, und dadurch gekennzeichnet, daß der Kommunikationsspeicher (KS) an ein Kommunikationsbus-

5 system (KB) angeschlossen ist, und daß die Rechner ( $R_i$ ) über ihren jeweiligen Adreß- und Datenbus mittels Three-state Treibern (TB, TU) ebenfalls an das Kommunikationsbussystem (KB) gekoppelt sind und so auf den Kommunikationsspeicher zugreifen können, derart daß durch eine Adreß-Auswahllogik mit Hilfe eines Komparators (KP) durch Schalter ( $S_i, i=0, \dots, j$ ) für jeden Rechner ( $R_i$ ) individuell festgelegt werden kann, wo der Kommunikationsspeicher (KS) im Adreßbereich des Rechners ( $R_i$ ) liegt, derart daß die Treiber für Adreß- und Datenbus (TU, TB), das Schreib/Lese-Umschaltsignal ( $R/\bar{W}$ , Treiber TR) und das Speicheranwahlsignal (RS, TR) höchstens dann aktiviert werden,

10 wenn die angelegten höherwertigen Adreßleitungen ( $AB_{k-j}, \dots, AB_k$ ) mit den durch die Schalter ( $S_i$ ) erzeugten Signalen paarweise übereinstimmen, und dadurch gekennzeichnet, daß die Zugriffssteuerung (ZS) in höchstens einer Anschlußschaltung ( $P_i$ ) die Treiber (TU, TB, TR) aktiviert, und dadurch daß jeder Rechner ( $R_i$ ) durch ein Signal ( $A_i$ ) hohen Potentials der Zugriffssteuerung (ZS) seine Zugriffsanforderung zum Kommunikationsspeicher (KS) anzeigt, daß dieses Signal ( $A_i$ ) durch eine steckbare Ver-

- 4 -

bindung (Steckfeld 1) auf denjenigen Eingang ( $E_i, i=0, \dots, n$ ) einer Multiplexerschaltung (MP) gegeben wird, dessen Auswahladresse ( $AA_0, \dots, AA_m$ ) mit der Nummer des Rechners ( $R_i$ ) übereinstimmt, derart daß diese Auswahladresse ( $AA_0, \dots, AA_m$ ) durch die Ausgangssignale eines zyklisch zählenden Dualzählers (Z) dargestellt werden, und daß dieser Zähler (Z) durch einen Taktgenerator (TG) angesteuert wird, und daß der Ausgang (Y) der Multiplexerschaltung (MP) auf einen Eingang (ZE) des Zählers (Z) gelegt ist, so daß durch ein hohes Potential des Ausgangs (Y) der Multiplexerschaltung (MP) eine Zustandsänderung des Zählers (Z) verhindert wird, derart daß der Zähler (Z) genau dann mit einer bestimmten Auswahladresse ( $AA_0, \dots, AA_m$ ) gestoppt wird, wenn der durch diese Adresse ( $AA_0, \dots, AA_m$ ) ausgewählte Eingang ( $E_i$ ) der Multiplexerschaltung (MP) ein hohes Potential besitzt, und gekennzeichnet dadurch, daß diese Auswahladresse ( $AA_0, \dots, AA_m$ ) sowie der Ausgang (Y) der Multiplexerschaltung (MP) über die Anschlußleiste ( $AL_i, i=0, \dots, n$ ) dem Rechner ( $R_i$ ) zur Verfügung gestellt werden, derart daß jeder Rechner ( $R_i$ ) genau dann, wenn der Ausgang (Y) der Multiplexerschaltung (MP) ein hohes Potential hat, durch die Auswahladresse ( $AA_0, \dots, AA_m$ ) feststellen kann, in welchem Zustand der Zähler (Z) stoppt, und dadurch gekennzeichnet, daß in jeder Anschlußschaltung ( $P_i$ ) die Auswahladresse ( $AA_0, \dots, AA_m$ ) sowie das Ausgangssignal (Y) der Multiplexerschaltung (MP) eine Demultiplexerschaltung (DM) ansteuert, derart daß der durch die Auswahladresse ( $AA_0, \dots, AA_m$ ) ausgewählte Ausgang ( $Z_i, i=0, \dots, n$ ) genau dann hohes Potential bekommt, wenn der Ausgang (Y) der Multiplexerschaltung (MP) ein hohes Potential besitzt, und derart daß durch eine steckbare Verbindung (Steckfeld 0) derjenige Ausgang ( $Z_i$ ) der Demultiplexerschaltung (DM), dessen Auswahladresse ( $AA_0, \dots, AA_m$ ) mit der Nummer des angeschlossenen Rechners ( $R_i$ ) übereinstimmt, auf einen Signalausgang ( $B_i$ ) der Anschlußleiste ( $AL_i$ ) zum Rechner ( $R_i$ ) gelegt wird, derart daß der Rechner ( $R_i$ ) durch ein hohes Potential dieses Signals ( $B_i$ ) feststellen kann, wann er Zugriff zum Kommunikationsspeicher (KS) besitzt, und derart daß dieses Signal ( $B_i$ ) die Three-state-Treiber (TB, TU, TR) für den Adress- und Datenbus des Rechners ( $R_i$ ) aktiviert.

2. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß der Ausgang (Y) der Multiplexerschaltung (MP) auf den Eingang eines UND-Gliedes (U) gegeben wird, daß der Ausgang (F) dieses UND-Gliedes (U) auf den Eingang (ZE) des Zählers (Z) gelegt 5 wird, der durch ein Signal hohen Potentials einen Zustandswechsel des Zählers (Z) verhindert, und dadurch daß der niedrigwertige Ausgang ( $AA_0$ ) des Zählers (Z) auf den Eingang (C) einer nachtriggerbaren monostabilen Kippstufe (MK) gegeben wird, derart daß diese monostabile Kippstufe (MK) durch Signale 10 übergänge am Eingang (C) vom niedrigen zum hohen Potential sowie vom hohen zum niedrigen Potential getriggert wird, und dadurch daß der Ausgang (D) der monostabilen Kippstufe (MK) auf den zweiten Eingang des UND-Gliedes (U) gegeben wird, derart daß die Zugriffszeit eines Rechners ( $R_i$ ) zum Kommunikationsspeicher (KS) durch die Impulsdauer der nachtriggerbaren 15 monostabilen Kippstufe (MK) begrenzt wird.

3. Vorrichtung nach Anspruch 2, dadurch gekennzeichnet, daß das Ausgangssignal (D) der nachtriggerbaren monostabilen 20 Kippstufe (MK) wahlweise durch einen Schalter (S) auf den Eingang des UND-Gliedes (U) gelegt werden kann.

4. Vorrichtung nach Anspruch 1 bis 3, dadurch gekennzeichnet, daß der gesamte Kommunikationspeicher (KS) oder ein Teil davon 25 aus einem festprogrammierten Speicher (ROM) oder einem Assoziativspeicher (Inhaltsadressierter Speicher) besteht, derart daß der festprogrammierte Speicher Programme und Daten enthält, die allen angeschlossenen Rechnern ( $R_i$ ) zur Verfügung stehen.

30 5. Vorrichtung nach Anspruch 1 bis 4, dadurch gekennzeichnet, daß die Zugriffssteuerung (ZS) für die Kopplung von lediglich zwei Rechnern ( $R_i, i=0,1$ ) ausgelegt wird, derart daß die beiden Ausgänge ( $Q, \bar{Q}$ ) einer bistabilen Kippstufe (MS) den beiden Rechnern ( $R_i$ ) zugeordnet werden, derart daß derjenige Rechner 35 ( $R_i$ ) auf den Kommunikationsspeicher (KS) zugreifen darf, dessen zugeordneter Ausgang ( $Q, \bar{Q}$ ) der bistabilen Kippstufe (MS) ein hohes Potential besitzt, und derart daß die Kippstufe (MS) ihren Ausgangszustand ( $Q, \bar{Q}$ ) beibehält, wenn keiner der Rechner

( $R_i$ ) oder beide Rechner ( $R_i$ ) gleichzeitig den Zugriff zum Kommunikationsspeicher (KS) fordern, und derart daß die bistabile Kippstufe (MS), wenn genau ein Rechner ( $R_i$ ) den Zugriff zum Kommunikationsspeicher (KS) fordert, den diesem 5 Rechner ( $R_i$ ) zugeordneten Ausgang ( $Q, \bar{Q}$ ) auf ein hohes Potential legt.

6. Vorrichtung nach Anspruch 2 und 5, dadurch gekennzeichnet, daß die bistabile Kippstufe (MS) als Master-Slave-Kippstufe 10 durch einen Taktgenerator (TG) gesteuert wird, derart daß sie mit jedem Taktimpuls des Taktgenerators (TG) alternierend ihren Ausgangszustand ( $Q, \bar{Q}$ ) ändert, wenn keiner der beiden Rechner ( $R_i$ ) den Zugriff zum Kommunikationsspeicher (KS) fordert, und derart daß durch die Impulsdauer einer nach- 15 triggerbaren monostabilen Kippstufe (MK) die Zugriffszeit eines Rechners ( $R_i$ ) zum Kommunikationsspeicher (KS) begrenzt wird, derart daß nach Ablauf der Impulszeit der monostabilen Kippstufe (MK) eine Zustandsänderung der bistabilen Kippstufe (MS) erzwungen wird.

Helmut Bähring, Klaus Heidtmann  
Iserlohn , Schalksmühle

Unser Zeichen:  
hb/khk

5

Kommunikationseinheit zur Kopplung von Mikrorechnern

Die Erfindung betrifft eine digitale Schaltung zur Kopplung  
10 mehrerer Mikrorechner zum Zwecke der Kommunikation und Koope-  
ration.

Bei Schaltungen einer solchen Art kann es wünschenswert sein,  
wenn

1. Mikrorechner verschiedenenen Typs über eine einheitliche  
15 Schnittstelle angeschlossen werden können,
2. jeder Rechner auch im Verbund mit den anderen weiterhin  
selbständig (autonom) arbeiten kann,
3. alle Rechner gleichberechtigt und freiwillig an der Kom-  
munikation teilnehmen, also kein Master-Slave-Prinzip vor-  
20 liegt,
4. die Kopplung breitbandig über Adreß- und Datenbus der  
Rechner erfolgt,
5. alle beteiligten Rechner auf häufig benötigte gemeinsame  
Daten unmittelbar zugreifen können,
- 25 6. in den beteiligten Rechnern keine Hardwareänderungen vor-  
genommen werden müssen,
7. der zusätzliche Hardwareaufwand für die Kommunikation  
minimal ist.

30 Dies gilt insbesondere für viele Anwendungsfälle in Labors,  
Büros, Werkstätten etc., in denen bereits mehrere Mikrorechner,  
gegebenenfalls verschiedenenen Typs, zur Verfügung stehen, die  
ihre eigene spezielle Ausrüstung mit Software und Peripherie-  
geräten besitzen.

35 Gedacht wird z.B. an die automatische Durchführung eines  
naturwissenschaftlichen Laborversuches, die mehrere Stunden  
und ohne menschliche Beaufsichtigung (z.B. auch nachts) vor-  
genommen wird. Hierbei übernimmt die Schaltung gemäß der

- 6 -

Erfindung die Aufgabe, die Ausfallsicherheit eines Rechners und die Fehlerfreiheit der Rechnung zu erhöhen, indem sie mehrere Laborrechner so miteinander koppelt, daß die Fehler und Ausfälle einer gewissen Anzahl von beteiligten Rechnern 5 toleriert werden, der Versuch also nicht zeitaufwendig schon nach dem Auftreten eines einzigen Fehlers oder Rechnerausfalls wiederholt werden muß.

Weiterhin bietet eine Schaltung gemäß der Erfindung die Möglichkeit, mehrer Mikrorechner auf einfache Weise gemeinsam 10 an der Lösung eines aufwendigen Problems arbeiten zu lassen, das wegen kritischer Zeitvorgaben durch Parallelarbeit oder beschränktem Vorhandensein teurer Peripheriegeräte besser von mehreren Rechnern gelöst werden kann.

Außerdem bietet die Schaltung gemäß der Erfindung die Möglichkeit, mehrer Mikrorechner so miteinander zu verbinden, 15 daß mehrere Benutzer über eigene Mikrorechner an einem gemeinsamen Spiel teilnehmen können, wobei insbesondere an Spiele gedacht wird, bei denen kein Spieler die auf den Bildschirmen der Mitspieler gespeicherten Informationen über den Spielstand 20 und den Spielverlauf sehen darf. (z.B. beim verdeckten Spiel Schiffeversenken). Bei diesen Spielen enthält die Kommunikationseinheit gemäß der Erfindung alle wesentlichen Daten über den Stand des Spieles.

25 Es ist Aufgabe der Erfindung, für Schaltungen der beschriebenen Art eine geeignete Lösung mit möglichst geringem Schaltungsaufwand anzugeben.

Bekanntermaßen existieren bereits Verfahren zur Kopplung mehrerer Mikrorechner zum Zwecke der Kommunikation. Einerseits 30 werden bei diesen Verfahren mehrere Mikroprozessoren starr und völlig synchron über ein gemeinsames Bussystem an einen gemeinsamen Speicher gekoppelt. Diese Lösung widerspricht hauptsächlich den oben gestellten Forderungen 1, 2, 3 und 7. Andererseits werden bei den lokalen Netzwerken (LAN - local 35 area network) die angeschlossenen Rechner über ein einzelnes Koaxialkabel miteinander verbunden. Hierfür sind aufwendige Netzkopplungseinrichtungen erforderlich. Diese Lösung vernachlässigt die oben aufgestellten Forderungen 4, 5, 6 und 7.

Diese Lösung hat jedoch den Vorteil, daß sie Rechner zu koppeln erlaubt, die teilweise sehr weit voneinander entfernt stehen können.

Die Schaltung gemäß der Erfindung bietet hingegen für Rechnerverbunde, bei denen wie in vielen Labors, Büros etc. die vorhandenen Rechner nah beieinander stehen, den Vorteil, daß sie die oben gestellten Forderungen zu minimalen Kosten und bei größtmöglicher Flexibilität erfüllt.

10 Gemäß der Erfindung wird hierzu nach FIG 1 vorgeschlagen, die zur Kommunikation der Rechner erforderliche Kopplung durch einen gemeinsamen externen Kommunikationsspeicher KS vorzunehmen. In diesen legt jeder Rechner die für die anderen Rechner bestimmten Nachrichten ab und holt sich seinerseits 15 von dort die für ihn bestimmten Nachrichten ab. Der Zugriff zum Speicher wird ohne Zugriffskonflikte durch eine Zugriffssteuerung koordiniert, die reihum jedem Rechner den Zugriff zum Speicher anbietet, und dafür sorgt, daß zu jedem Zeitpunkt höchstens einer der angeschlossenen Rechner  $R_i$  ( $i=0, \dots, n$ ) 20 über seinen Speichereingang (Port)  $P_i$  auf den Speicher zugreifen kann. Dabei erfolgt gemäß der Erfindung der Zugriff zum Speicher breitbandig über den Adress- und Datenbus der Rechner.

25 Die nähere Ausgestaltung der Schaltung wird nun anhand der Figuren FIG 2 bis FIG 5 beschrieben. Dabei ist FIG 2 ein Blockschaltbild einer der Erfindung entsprechenden digitalen Schaltung gezeichnet und in den Figuren FIG 3 bis FIG 5 eine bevorzugte Realisierung einer solchen Schaltung unter Be- 30 rücksichtigung schaltungstechnischer Details.

FIG 2 zeigt ein Blockschaltbild einer erfindungsgemäßen Schaltung. Die Rechner  $R_i$  ( $i=0, \dots, n$ ) können breitbandig über ihren Adress- und Datenbus durch die Abschlußschaltungen (Ports)  $P_i$  35 auf das gemeinsame Kommunikationsbussystem KB und den angeschlossenen Kommunikationsspeicher KS zugreifen. Die Zugriffssteuerung ZS verhindert dabei Zugriffskonflikte, indem sie zyklisch umlaufend jedem Rechner  $R_i$  das exklusive

- 8 -

Zugriffsrecht einräumt, indem sie nur für den Rechner  $R_i$  den Port  $P_i$  zum Kommunikationsspeicher KS öffnet, alle weiteren Ports jedoch sperrt. Der Rechner  $R_i$  fordert das Zugriffsrecht durch die Signalleitung  $A_i$  über den Port  $P_i$  von der Zugriffssteuerung ZS an. Sobald die Zugriffssteuerung ZS dieses Signal  $A_i$  abfragt, wird das zyklische Weiterschalten unterbrochen. Über die Auswahlsignale  $AA_0 \dots AA_m$  informiert die Zugriffssteuerung alle Ports  $P_i$  und die angeschlossenen Rechner  $R_i$  über den momentan zugriffsberechtigten Rechner und steuert nur in dessen Port die Treiber für den Adreß- und Datenbus.

FIG 3 zeigt exemplarisch die Realisierung der Zugriffssteuerung ZS. Jedem der angeschlossenen Mikrorechner  $R_i$  ist der entsprechende Anforderungseingang  $E_i$  der Multiplexerschaltung MP zugeordnet. Mit Hilfe des Signals  $A_i$  meldet dort der Rechner  $R_i$  seinen Zugriffswunsch an. Die Auswahladresse  $AA_0 \dots AA_m$  des Multiplexers MP wird durch einen freilaufenden zyklisch zählenden Dualzähler Z erzeugt, der durch den Taktgenerator TG angesteuert wird. Liegt an den Adreßeingängen des Multiplexers MP die durch  $AA_0 \dots AA_m$  dual verschlüsselte Adresse i an, so gibt der Ausgang Y der Multiplexerschaltung MP genau dann ein Signal hohen Potentials ab, wenn gleichzeitig auch der Anforderungseingang  $E_i$  hohes Potential besitzt. Durch das hohe Potential am Ausgang Y wird über die UND-Schaltung U, deren 2. Eingang durch einen Widerstand R auf die positive Betriebsspannung +U gelegt ist, die Zählersperre ZE des Zählers Z aktiviert und damit der Zählerzustand i beibehalten. Erst wenn der Eingang  $E_i$  wieder auf niedriges Potential heruntergezogen wird, geht auch der Ausgang Y wieder auf niedriges Potential, und die Zählersperre ZE wird deaktiviert, wodurch der Zähler Z weiterzählt. Wird der Schalter S, wie in FIG 3 gezeigt, umgeschaltet, so wird die Zeit, in der die Zählersperre ZE aktiv ist, durch die Impulsdauer der nachtriggerbaren monostabilen Kippstufe MK begrenzt. Dadurch wird verhindert, daß ein ausgefallener Rechner  $R_i$  die Zugriffssteuerung ZS blockieren kann, indem er

seinen Anforderungseingang  $E_i$  konstant auf hohem Potential hält. Die Ansteuerung der monostabilen Kippstufe geschieht durch die positiven oder negativen Flanken des niedrwertigen Zählerausgang  $AA_0$ .

- 5 Der Zählerzustand  $AA_0 \dots AA_m$  wird als Rechner-Auswahladresse an die Ports  $P_i$  und die Rechner  $R_i$  weitergegeben. Durch das Signal  $Y$  des Multiplexers MP können die Ports  $P_i$  und die Rechner  $R_i$  feststellen, ob gerade ein Rechner Zugriff zum Speicher KS hat. Der Eingang  $G$  erlaubt es, durch niedriges
- 10 Potential die gesamte Zugriffssteuerung ZS inaktiv zu schalten.

FIG 4 zeigt beispielhaft eine schaltungstechnische Realisierung der Ports  $P_i$  ( $i=0, \dots, n$ ). Über die Anschlußsteckera-

- 15 leiste  $AL_i$  des Rechners  $R_i$  wird das Anforderungssignal  $A_i$  übertragen. Durch das Stecken einer Verbindung wird dieses Signal  $A_i$  im Steckfeld 1 auf den Eingang  $E_i$  der Zugriffssteuerung ZS gelegt. Diese liefert die Auswahladresse  $AA_0 \dots AA_m$  an die angeschlossenen Rechner sowie das Ausgangssignal
- 20  $Y$  des Multiplexers MP, das jedem Rechner  $R_i$  anzeigt, ob gerade ein Zugriff zum Speicher KS stattfindet. Die Auswahladresse  $AA_0 \dots AA_m$  steuert in jedem Port  $P_i$  einen Demultiplexer DM. Dessen Ausgänge  $Z_j$  ( $j=0, \dots, n$ ) werden im Steckfeld 0 so mit dem Quittungssignal  $B_i$  der Anschlußleiste  $AL_i$  verbunden, daß das Signal  $B_i$  mit dem Ausgang  $Z_i$  des Demultiplexers DM übereinstimmt. Das Signal  $B_i$  zeigt durch ein hohes Potential dem Rechner  $R_i$  an, daß er gerade das Zugriffsrecht zum Speicher KS erhalten hat.

FIG 5 zeigt zur Verdeutlichung noch einmal den Signalpfad

- 30 der Anforderung  $A_i$  von Rechner  $R_i$  über die Zugriffssteuerung ZS bis zum Quittungssignal  $B_i$ . Die aufwendig erscheinende Lösung mit Hilfe der beiden Steckfelder 0 und 1 erlaubt eine Produktion völlig identischer Portschaltungen, denen erst durch das Stecken der Verbindungen in den Steckfeldern eine
- 35 der Nummern  $0, \dots, n$  zugewiesen wird. Die Lösung der Adressierung über das Signal  $A_i$ , den Multiplexer MP, den Demultiplexer DM, dem Zähler Z und dem Quittungssignal  $B_i$  sorgt dafür, daß die Anzahl der Leitungen vom Rechner  $R_i$  zum Port  $P_i$  und

vom Port  $P_i$  zur Zugriffssteuerung ZS minimal ist.

FIG 4 zeigt weiterhin die bidirektionalen Three-state-Treiber TB für den Datenbus des Rechners  $R_i$  sowie die unidirektionalen Treiber TU für den Adreßbus zum gemeinsamen Kommunikationsbussystem KB. Diese Treiber werden durch das Ausgangssignal AS des UND-Gliedes AN angesteuert. Das Signal AS hat genau dann hohes Potential, wenn erstens der betrachtete Port  $P_i$  über das Signal  $B_i$  Zugriffsberechtigung zum Speicher KS erhält und zweitens die Oberadresse  $AB_{k-j} \dots AB_k$  auf dem Adreßbus des Rechners  $R_i$  mit der durch die Schalter  $S_l$  ( $l=0, \dots, j$ ) eingestellten Kombination binärer Werte übereinstimmt. Der Komparator KP nimmt diesen paarweisen Vergleich vor und gibt das Ergebnis auf den zweiten Eingang des UND-Gliedes AN. Durch diese Adreßauswahl ist es möglich, den Kommunikationsspeicher KS für jeden Rechner  $R_i$  individuell verschieden in den Adreßbereich des Rechners einzublenden. Mit Hilfe des Signals  $B_i$  kann in den Fällen, in denen der Adreßbereich des Rechners voll belegt ist, durch Faltung des Speichers nach dem Bankadressierungsverfahren der Adreßraum erweitert werden. Das Schreib/Lese-Auswahlsignal  $R/\bar{W}$  des Rechners  $R_i$  wird ebenso wie das Ausgangssignal des Komparators KP als Speicheraktivierungssignal über die Treiber TR zum Kommunikationsbussystem KB geführt. Das Signal  $R/\bar{W}$  steuert zusätzlich die Richtung der bidirektionalen Datenbustreiber TB.

25

FIG 6 zeigt exemplarisch die einfache Lösung für die Zugriffssteuerung ZS für den Fall, daß nur zwei Rechner  $R_0$  und  $R_1$  über den gemeinsamen Speicher KS kommunizieren sollen. Die Anforderungssignale  $A_0$  und  $A_1$  der Rechner  $R_0$  und  $R_1$  werden auf die Eingänge  $E_0$  bzw.  $E_1$  der negierten UND-Glieder  $AN_0$  und  $AN_1$  gelegt. Der Ausgang Y der ODER-Schaltung OR zeigt durch ein hohes Potential an, ob wenigstens einer der Rechner  $R_i$  durch sein Signal  $A_i$  Zugriff zum Speicher KS fordert. Die Ausgänge  $X_0$  und  $X_1$  der negierten UND-Glieder  $AN_0$  und  $AN_1$  steuern die Eingänge J und K einer bistabilen Kippstufe MS vom Typ JK-Master-Slave-Kippstufe, deren Ausgänge Q und  $\bar{Q}$  die Quittungssignale  $B_1$  bzw.  $B_0$  zum Rechner  $R_1$  bzw  $R_0$  liefern. Werden die

zweiten Eingänge der negierten UND-Glieder  $AN_0$  und  $AN_1$  durch den Schalter S über den Widerstand R auf das Potential der positiven Betriebsspannung +U gezogen, so ergibt sich folgendes Schaltverhalten der bistabilen Kippstufe MS:

- 5 1. Sind beide Eingänge  $E_0$  und  $E_1$  auf niedrigem Potential, so wechseln die Ausgänge Q und  $\bar{Q}$  mit jedem Takt des Taktgenerators TG ihren logischen Zustand.
2. Ist genau einer der Eingänge  $E_0$  oder  $E_1$  auf hohem Potential, so wird beim nächsten Takt des Taktgenerators TG 10 der entsprechende Ausgang  $B_0$  oder  $B_1$  ebenfalls auf hohes Potential gelegt,
3. Besitzen beide Eingänge  $E_0$  und  $E_1$  hohes Potential, so behalten die Ausgänge  $B_0$  und  $B_1$  ihren logischen Zustand. Damit besitzt diese Realisierung die gleichen Eigenschaften 15 wie die in FIG 3 für mehrere Rechner  $R_i$  ( $i=0, \dots, n$ ) gezeigte: Sie bietet durch die Signale  $B_0, B_1$  alternierend den Rechnern  $R_0, R_1$  den Speicherzugriff an. Fordert nur ein Rechner  $R_i$  den Zugriff, so stoppt sie ihren alternierenden Zustandswechsel 20 und setzt den Ausgang  $B_i$  auf hohes Potential. Fordern beide Rechner gleichzeitig den Speicherzugriff, so behält derjenige von beiden den Zugriff, dessen Signal  $B_i$  bereits hohes Potential besitzt.

Durch Umschalten des Schalters S ist es wieder möglich, die Zugriffszeit eines Rechners  $R_i$  zum Kommunikationsspeicher KS 25 auf die einstellbare Impulszeit der nachtriggerbaren monostabilen Kippstufe MK zu begrenzen. Diese wird durch die Signaländerungen am Ausgang Q der bistabilen Kippstufe MS getriggert. Ihr Ausgang X wird durch den Schalter S auf die beiden Eingänge der negierten UND-Schaltungen  $AN_0$  und  $AN_1$  30 gelegt. Besitzt der Ausgang X niedriges Potential, so besitzen die Ausgänge  $X_0$  und  $X_1$  der negierten UND-Glieder  $AN_0$  und  $AN_1$  hohes Potential und erzwingen dadurch ein Weiterschalten der bistabilen Kippstufe MS beim nächsten Takt des Generators TG spätestens nach dem Ablauf der Impulszeit der monostabilen 35 Kippstufe MK.

FIG 2

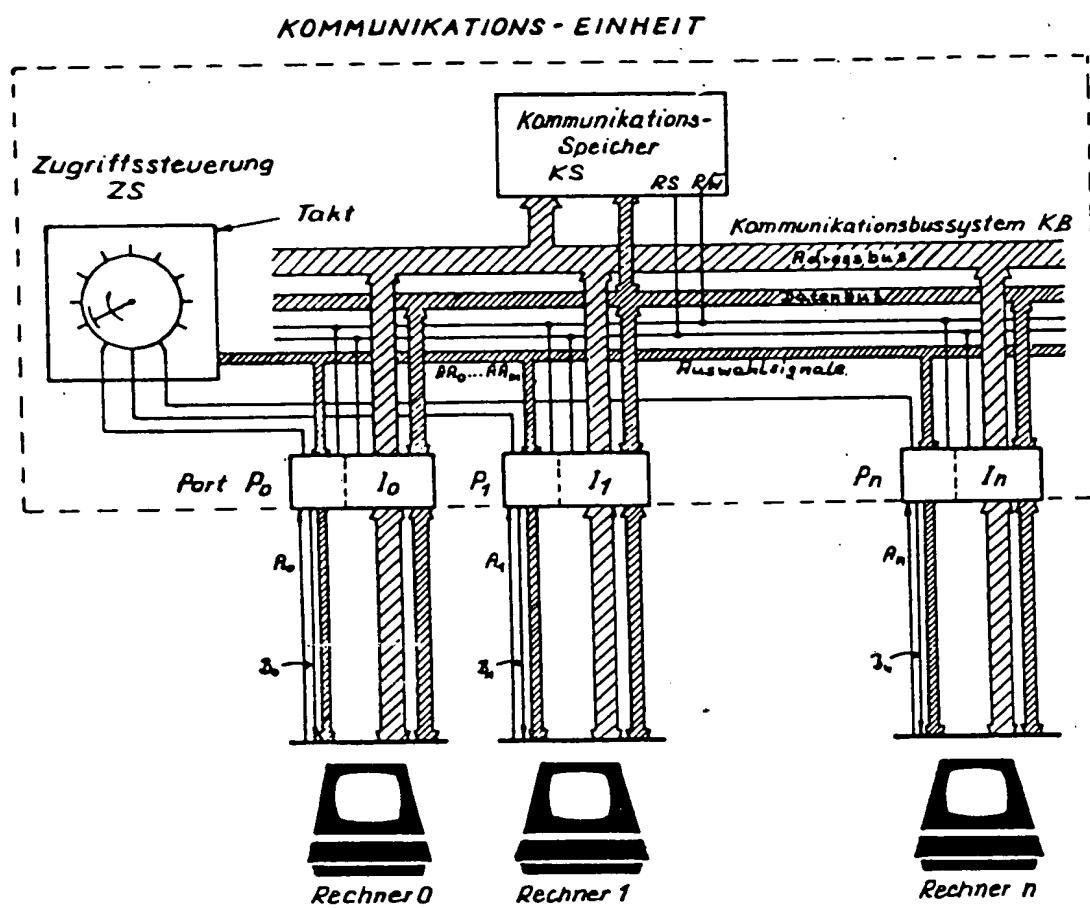
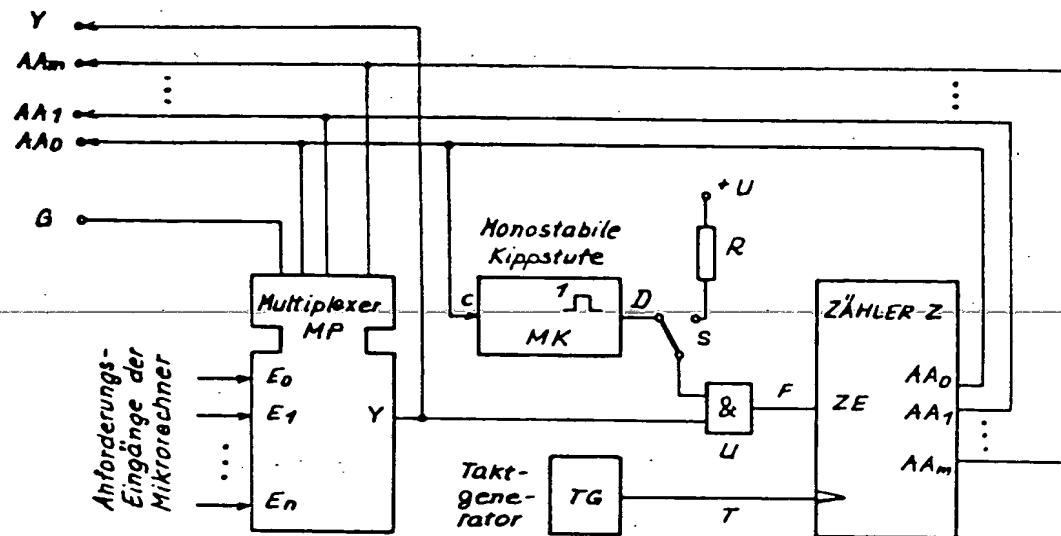
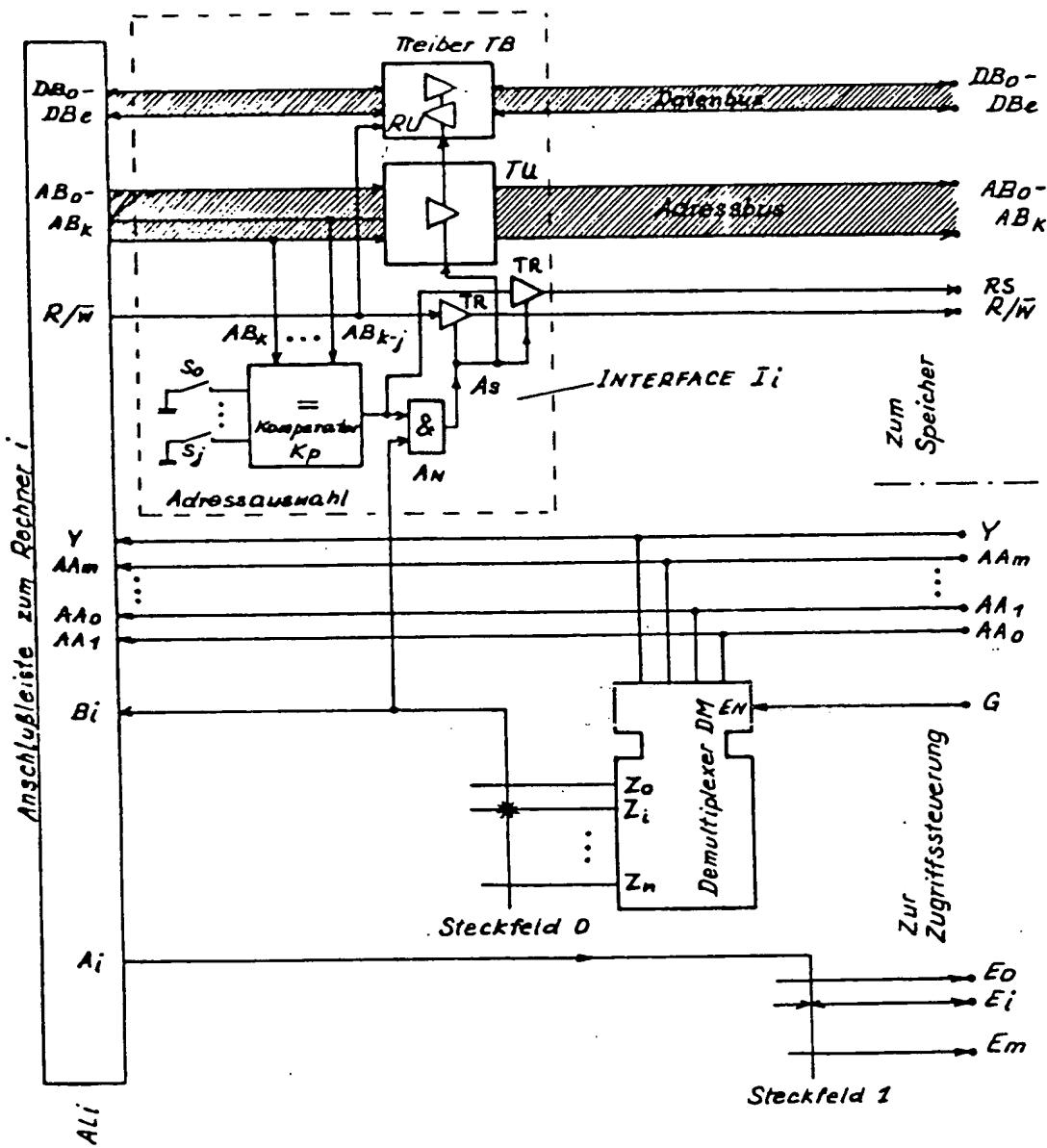


FIG 3





3340123

FIG 5 -15-

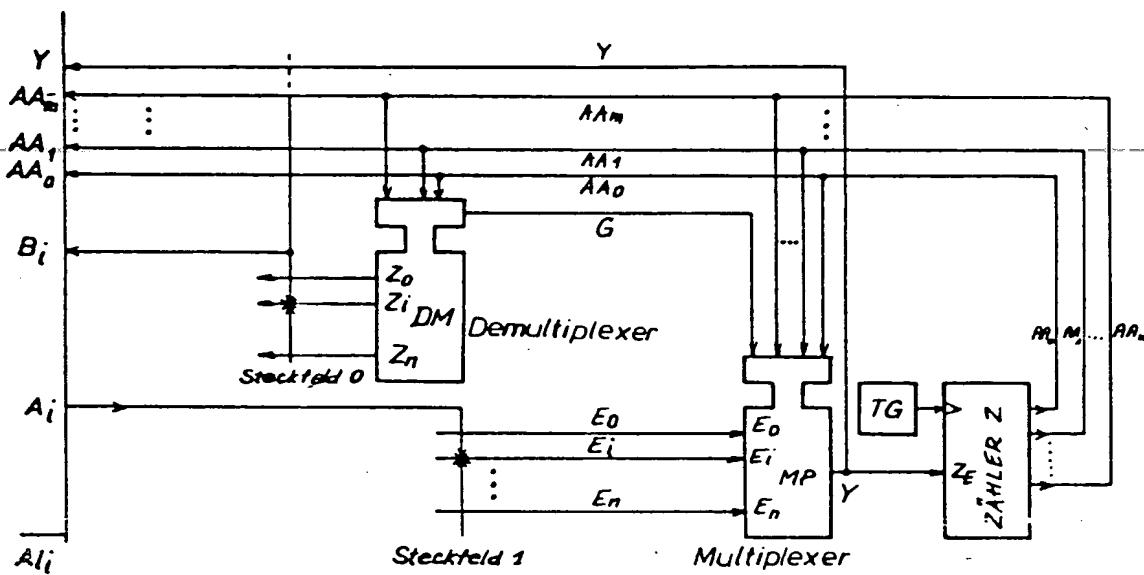
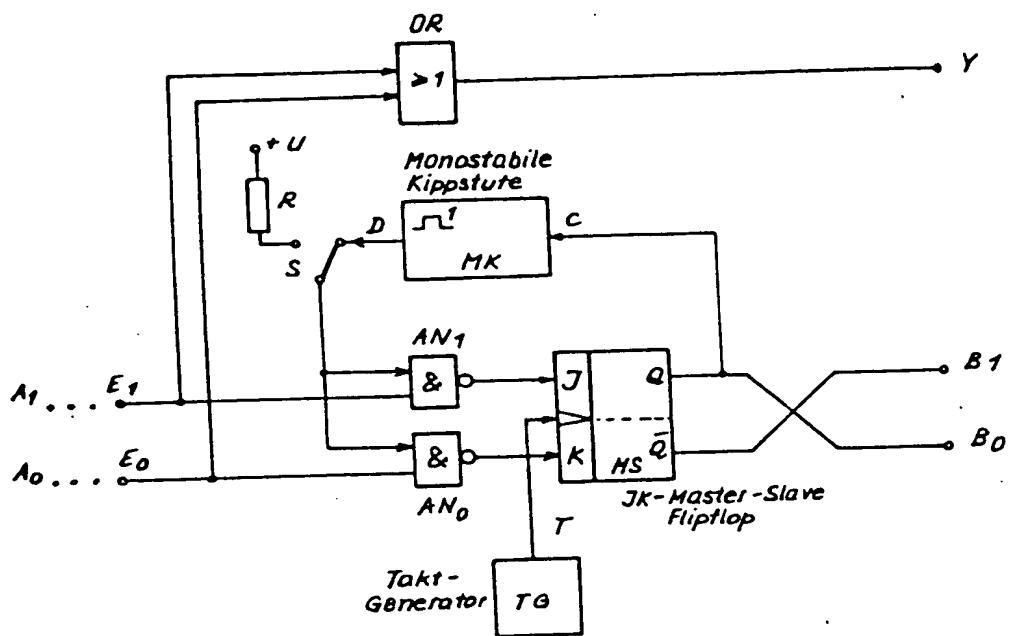


FIG 6

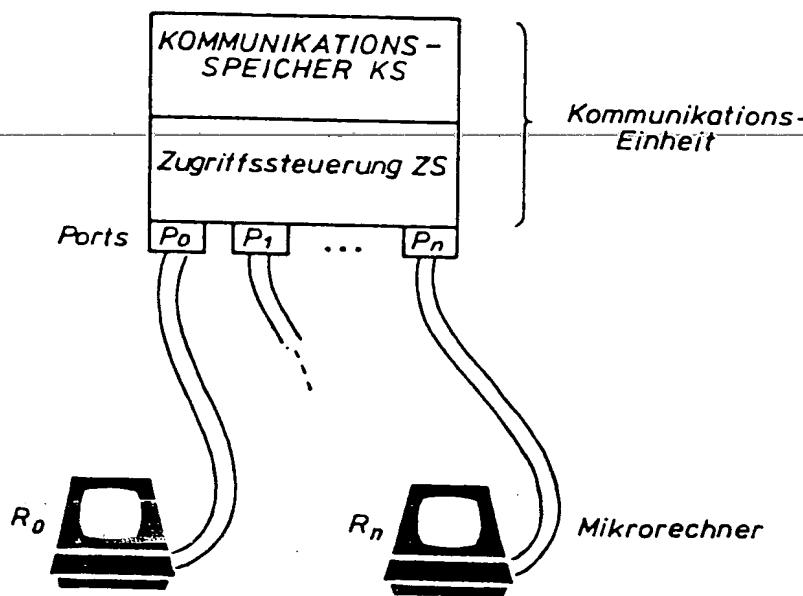


-17-

Nummer:  
Int. Cl.<sup>3</sup>:  
Anmeldetag:  
Offenlegungstag:

33 40 123  
G 06 F 15/16  
5. November 1983  
15. Mai 1985

FIG 1



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**